

## 7-5 標準電波受信用

# ディジタルバンドパスフィルタの設計

電磁波工学研究室

0512042 立松孝司

### 1.はじめに

現在、電波時計の普及が進んでいる。電波時計が受信する標準電波は福島局(送信周波数 40kHz)と九州局(送信周波数 60kHz)の2局から日本全国に発信されている。標準電波を受信するための受信機には、バンドパスフィルタ(BPF: Band Pass Filter)が必要となる。アナログのバンドパスフィルタでは中心周波数などを調整するために時間がかかることや、温度変化によってフィルタの中心周波数が変化してしまったり、回路規模が大きくなってしまふ。そこでアナログ回路をディジタル化することにより、回路規模の縮小化、温度変化に依存しない受信機を構成することができる。

本研究では、40kHz と 60kHz の標準電波受信用の FPGA を用いたディジタル受信機に使用するためのディジタルバンドパスフィルタを設計する。

### 2.ディジタルフィルタ

ディジタルフィルタは、インパルス応答の継続時間によって有限インパルス応答(FIR: Finite Impulse Response) フィルタと無限インパルス応答(IIR: Infinite Impulse Response)フィルタに分けることができる。FIR フィルタには、IIR フィルタにはない「直線位相を実現できる」という利点がある。これは位相の歪みがない、すなわち波形が崩れないことを意味する。ディジタルの波形を正確に受信するために本研究では FIR フィルタを採用する。

### 3.FPGA ボードの仕様

FPGA(Field Programmable Gate Array)とは、その名の通り設計したロジック回路を実チップとして動作させることがユーザーの手元で可能となるデバイスである。本研究では SPARTAN-3E STARTER KIT XILINX XC3S500E を使用する。この FPGA ボードには、XC3S500E-4FG320C という FPGA チップと 2 チャンネルの 14bit AD 変換機が搭載されている。最大サンプリング周波数は 1.5MHz であるため、(受信可能周波数)<(最大サンプリング周波数)/2 より、40kHz、60kHz の波形は十分受信可能である。この FPGA ボードに適切なディジタルバンドパスフィルタの設計を行う。

### 4.ディジタル BPF の設計

ディジタルフィルタ設計プログラム(CQ 出版社)を使用しフィルタの次数、減衰量、サンプリング周波数を変化させ、利得 - 周波数特性を調べる。40kHz、60kHz の標準電波を受信することから、中心周波数は 40kHz、60kHz に設定する。標準電波の波形を受信する場合、帯域幅を狭くするとステップ応答が悪くなるため、本研究では帯域幅を 1kHz とする。使用予定の FPGA ボードの AD 変換機は 14bit の 2 の補数ディジタル値を出力するため、ダイナミックレンジは  $20\log 2^{13}=78$  [dB] となる。したがってフィルタの阻止域の信号レベルは -78dB 以下である必要がある。

はじめに、 $0 < \text{遮断周波数} < \text{サンプリング周波数}/2$  の関係から、中心周波数を 40kHz に設定したフィルタの場合サンプリング周波数は 100kHz、減衰量(遷移域の部分)はダイナミックレンジにノイズの影響を受けないように 80dB に固定する。また中心周波数を 60kHz に設定したフィルタの場合サンプリング周波数は 150kHz、減衰量は 80dB に固定する。そして次数を 50、100、200、300、500 と変化させ、40kHz、60kHz それぞれ利得 - 周波数特性を調べる。その結果、次数が小さい

と通過域の信号レベルが減衰してしまうため次数は大きい方が良いという結果が得られた。その結果、最適な次数は 500 となった。次に、サンプリング周波数を変化させず、次数を 500 に固定し、減衰量を 40dB、80dB、120dB と変化させ、40kHz、60kHz それぞれ利得 - 周波数特性を調べる。その結果、減衰量が 40dB の場合、阻止域の信号レベルが上がってしまう。また 120dB の場合、帯域幅が広がって余分な周波数成分が入ってしまう。この結果から、80dB が適切な数値であることが分かった。最後に、40kHz、60kHz の波形を同時サンプリングする予定であるため、次数を 500、減衰量を 80dB に固定しサンプリング周波数を 122kHz ~ 1.5MHz まで 120 ずつ変化させ、同時サンプリングできるサンプリング周波数を調べる。その結果、サンプリング周波数が高いと通過域の信号レベルが減衰してしまうため 125kHz が適切な数値であることが分かった。これらのことから、使用予定の FPGA に適切なディジタルバンドパスフィルタのフィルタの次数、減衰量、サンプリング周波数はそれぞれ、500、80dB、125kHz という結果が得られた。図 1 は中心周波数を 40kHz とし、次数 500、減衰量 80dB、サンプリング周波数 125kHz で設計した結果である。図 2 は中心周波数を 60kHz とし、次数 500、減衰量 80dB、サンプリング周波数 125kHz で設計した結果である。帯域幅は 1kHz で -3dB の位置(図の赤線)である。

### 5.まとめ

FPGA を用いた標準電波受信用のディジタルバンドパスフィルタを設計した。その結果、使用予定の FPGA ボードに適した次数、減衰量、サンプリング周波数を決定することができた。この結果を用いて、実際に FPGA に書き込み、ディジタル受信機を開発することが可能である。

